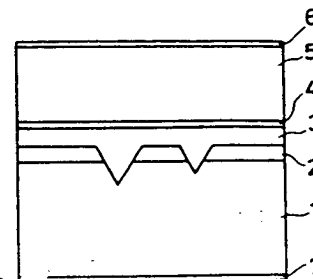


(54) SEMICONDUCTOR LASER ELEMENT

(11) 61-234584 (A) (43) 18.10.1986 (19) JP
 (21) Appl. No. 60-76303 (22) 10.4.1985
 (71) NEC CORP (72) KENJI ENDO
 (51) Int. Cl. H01S3/18

PURPOSE: To make it possible to ensure self-excited oscillation, by providing two neighboring oscillating regions, and utilizing the mutual interference of the oscillations in both regions.

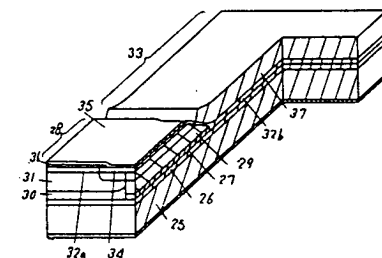
CONSTITUTION: Absorption of oscillated light by N- and P-type GaAs layers 2 and is less. Therefore, when an injected current is increased, at first oscillation is started in a left active layer region corresponding to a wide groove. When the injected current is further increased, oscillation is also started in a right active region corresponding to the right groove, whose loss is large. At this time, since the two active regions are close, intense mutual interference occurs. When the injected current is further increased and the carrier density in the right active layer region reaches a certain level, the oscillation, which occurs in the right active layer region, is extended to the left active layer region, and light emitting recombination of the carriers is increased. Then, the oscillation in the right active layer region is stopped. As a result, the intensity of the oscillated light in the left active layer region, in which factors hampering the oscillation are eliminated, is restored to the initial state, and the self-excited oscillation, which is fluctuated in time, is obtained.

**(54) OPTICAL INTEGRATED CIRCUIT AND MANUFACTURE THEREOF**

(11) 61-234585 (A) (43) 18.10.1986 (19) JP
 (21) Appl. No. 60-76933 (22) 11.4.1985
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) KENICHI MATSUDA(3)
 (51) Int. Cl. H01S3/18; H01L27/15

PURPOSE: To enhance the optical coupling efficiency of a semiconductor laser and a lightguide, by providing an uppermost layer and a light guiding layer, which is included in the lightguide, as semiconductor thin films that are formed at the same time, forming an active layer and the light guiding layer on the approximately same plane, and providing the sufficiently broad width for the semiconductor thin film than that of the stripe width of the semiconductor layer.

CONSTITUTION: A cap layer 32a and a light guiding layer 32b of a lightguide 33 are simultaneously formed. The cap layer 32a is located on the upper part of an active layer 27. A P-type inverted region 34, in which P-type impurities such as Zn are diffused in a vapor phase, has a stripe broader than the stripe width of the active layer 27. Only the region 34 is contacted with a P-side electrode 35. A light guiding layer 37 does not have a stripe shape like the active layer 27. The layer 37 is formed on the entire surface of a region, where a semiconductor layer 28 is not present. Therefore, a three-dimensional lightguide can be formed at an arbitrary place. The optical coupling efficiency of the lightguide 33 and the semiconductor laser 28 is very high since the active layer 27 of the semiconductor laser 28 and the light guiding layer 32b of the lightguide 33 are located at the approximately same plane.



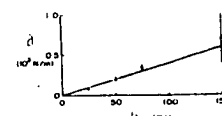
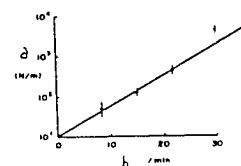
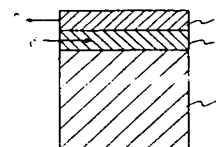
25: InP substrate, 26: etching stopping layer, 27: P-type confining layer, 28: P-type InP layer, 29: N-type InP layer, 30: insulating film, 31: N-type confining layer

(54) MANUFACTURE OF LOW-STRESS INSULATING FILM

(11) 61-234586 (A) (43) 18.10.1986 (19) JP
 (21) Appl. No. 60-77138 (22) 11.4.1985
 (71) NEC CORP (72) MOTOHIKO INAI
 (51) Int. Cl. H01S3/18; H01L21/314

PURPOSE: To form a low-stress insulating film characterized by chemically stable property, good reproducibility and no difficulty in pattern forming, by laminating and forming two kinds of SiO₂ films by a thermal CVD method and a high-frequency sputtering method.

CONSTITUTION: On an InP substrate 1, an SiO₂ film 2, which is formed by a thermal CVD method and indicates tensile stress, and an SiO₂ film 3, which is formed by a high-frequency sputtering method and indicates compressing force, are formed. In order to design the thicknesses of the films for offsetting stresses, a graph of total stress vs. depositing time for the SiO₂ film prepared by the thermal CVD method and a graph of total stress vs. depositing time for the SiO₂ film by the high-frequency sputtering method are used. The total stress of the insulating films constituted by the two SiO₂ films 2 and 3 is decreased to 1/10 or less of the total stress of the single film.



a: total stress, b: depositing time, c: compression stress, d: tensile stress

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-234586

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月18日

H 01 S 3/18
H 01 L 21/314

7377-5F
6708-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 低応力絶縁膜の製造方法

⑯ 特 願 昭60-77138

⑰ 出 願 昭60(1985)4月11日

⑱ 発 明 者 稲 井 基 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称 低応力絶縁膜の製造方法

2. 特許請求の範囲

熱CVD法によって SiO_2 膜を形成する工程と、高周波スパッタ法によって SiO_2 膜を形成する工程により2種類の SiO_2 膜を積層した多層膜を形成することを特徴とする低応力絶縁膜の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体素子の製造に用いられる絶縁膜の製造方法に関するものである。

(従来技術とその問題点)

シリコン等の半導体基板上に形成した SiO_2 、 SiN_x 等の絶縁膜にパターンを形成し熱処理を行うと、パターンエッジ部でクラックの発生、転位の発生、移動、点欠陥の集合等の現象が生じ、そ

の原因は絶縁膜に存在する内部応力に帰着すると考えられている。したがって絶縁膜を形成する工程を含む半導体素子の歩留り、信頼性の向上には絶縁膜の内部応力の低減が必要である。

従来、内部応力の符号の異なった SiO_2 膜と SiN_x 膜を多層化し膜の全応力を低減する方法、 SiN_xO_y 膜を形成し組成によって膜応力を低減する方法、 SiO_2 膜形成に際し、リン(P)を添加するなど、不純物添加による膜応力の低減方法などが知られていた。しかし SiO_2 膜と SiN_x を多層化する方法では、パターン形成に際し SiO_2 膜と SiN_x 膜とでフッ酸等のエッチング液によるエッチングの速度がかなり異なるため微細なパターンの形成には不利である。 SiN_xO_y 膜を形成する場合は、酸素の混合比など組成を再現性よく制御することが難しい。またリンを添加した SiO_2 膜は化学的な安定性が低く膜の性質が時間的に変化していくという問題がある。

(発明の目的)

本発明の目的は化学的に安定で再現性が良くパ

ターンの形成に困難のない低応力絶縁膜を提供することにある。

(発明の構成)

本発明の製法は、熱CVD法によってSiO₂膜を形成する工程と、高周波スパッタ法によってSiO₂膜を形成する工程とにより、それぞれの工程によりできる2種類のSiO₂膜を積層形成する構成となっている。

(発明の原理)

本発明では基板上に絶縁膜を形成する際に、絶縁膜に内在する応力の絶対値が等しく向きが逆である2層の絶縁膜を重ね合わせれば力のつり合いから基板には力が働かないことを利用している。またSiO₂膜の内部応力は、熱CVD (Chemical Vapor Depositionの略)、高周波スパッタ、プラズマCVDなどの形成法、あるいは形成条件によってその向きと大きさが変化することを利用している。

(実施例)

第1図は本発明の第1の実施例を示す断面図で

力の小さい状態を実現できることがわかった。

膜応力の少ない絶縁膜は種々の半導体デバイスに有効に適用することができる。第4図^は本発明の第2の実施例を示す斜視図である。InGaAsP埋め込み形半導体レーザの電流狭窄用に本発明の低応力絶縁膜を応用した例を示している。半導体レーザ10の素子構造は、水戸等が昭和57年度電子通信学会総合全国大会講演予稿集857に報告しているInGaAsP二重チャンネルプレーナ埋め込み構造半導体レーザ(DC-PBHLD)である。この素子の高周波特性を改善するには絶縁膜を用いて電流狭窄構造を形成することが有効であることが、小林等により、昭和58年度電子通信学会総合全国大会講演予稿集918で報告されている。従ってSiO₂膜等を用いて電流狭窄構造を形成すれば良いが、その時半導体とSiO₂膜の間に大きな^{して}応力が加わると、半導体レーザの信頼性を悪くしてしまうという結果を得ていた。そこで、第4図に示す様に、熱CVDによるSiO₂膜2と高周波スパッタによるSiO₂膜3とを、第1図に示す場合と同じ条

ある。1はInP基板であり、2は熱CVDによって形成した引張り応力を示すSiO₂膜、3は高周波スパッタによって形成した圧縮圧力を示すSiO₂膜である。応力を相殺する為の膜厚の設計には、第2図に示した熱CVDによるSiO₂膜の全応力の堆積時間に対するグラフ(引張り応力の条件; 基板温度は400℃、流量比はSiH₄(Arベース濃度1%) / N₂ / O₂ = 500 / 3000 / 200mL、堆積速度は30nm/min)と第3図^はに示した高周波スパッタによるSiO₂膜の全応力の堆積時間に対するグラフ(圧縮応力条件; Ar圧は1.6Pa、加速電圧は2.7KV、電力は300W、堆積レートは9nm/min)を用いた。InP基板1に熱CVDで8分間SiO₂膜2を堆積し、次に高周波スパッタでSiO₂膜3を13分間堆積したところ、膜厚は合計0.35μmとなった。積層したSiO₂多層膜の全応力は5N/m以下であり、熱CVDまたはスパッタ単独で同一の厚さの膜を形成した時の全応力の1/10以下となった。このように、熱CVDと高周波スパッタとで多層のSiO₂膜を形成すると全体の膜応

件で積層して低応力の絶縁膜を形成した。その後幅10μmのストライプ状の電流注入領域20をフォトリソグラフィと化学エッチングにより形成し、Ti/Pt/Auの多層の金属電極5を形成した。この素子の信頼性を評価したところ、70℃-5mWという高温の定光出力動作という駆動条件において、駆動電流の増加率は $5 \times 10^{-6} / \text{hr}$ という良好な結果を得た。この結果は、本発明の低応力絶縁膜が半導体レーザの信頼性にとって有効であることを示している。第4図の素子を作製する場合に、金属電極5を蒸着したのち400℃程度の温度で熱処理を行うが、このような熱処理を加えても熱CVDによるSiO₂膜2と高周波スパッタによるSiO₂膜3とにより形成された低応力絶縁膜の応力に関する性質は変化することがなかった。

低応力の絶縁膜は、この他MIS構造の電界効果形トランジスタ(FET)において金属と半導体との間の絶縁膜や、アバランシュ・フォト・ダイオード(APD)のパッシベーション膜(露出したpn接合を保護する絶縁膜)などに用いても良好な効

果が得られた。

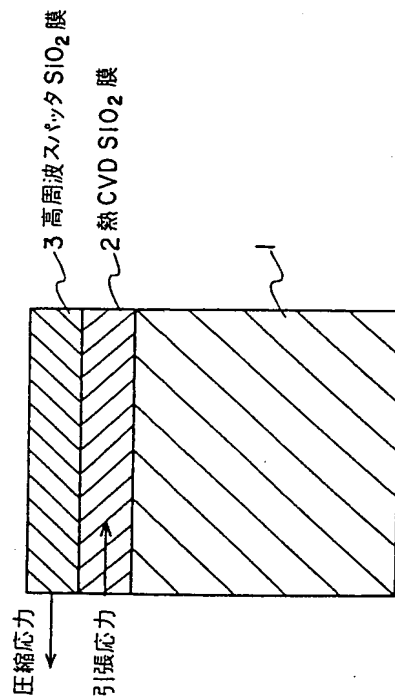
(発明の効果)

第1図に示す2層の SiO_2 膜2, 3で構成される絶縁膜は、単独の膜の全応力の $1/10$ 以下まで全応力が低減されている。またバッファードフッ酸によるエッチングでは熱CVD膜とスパッタ膜の間に著しいエッチングレートの差はなく二層化した膜をエッチングしても段差等は生じることがなく微細なパターン形成にも問題がない。熱処理(400℃程度)に対しても安定であり、また室内に放置しても膜の性質に経時的変化は見られず、半導体デバイス作製に用いる絶縁膜として優れた性質を有している。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す断面図、第2図は熱CVDによる SiO_2 膜の全応力の堆積時間に対するグラフ、第3図は高周波スパッタによる SiO_2 膜の全応力の堆積時間に対するグラフ、第4図は本発明の第2の実施例を示す斜視図である。

図 1



図中、1はInP基板、2は熱CVDによる SiO_2 膜、3は高周波スパッタによる SiO_2 膜、5は金属電極、10は半導体レーザ、20は電流注入領域を示す。

代理人 井理士 内原 晋

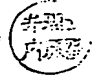


図 2

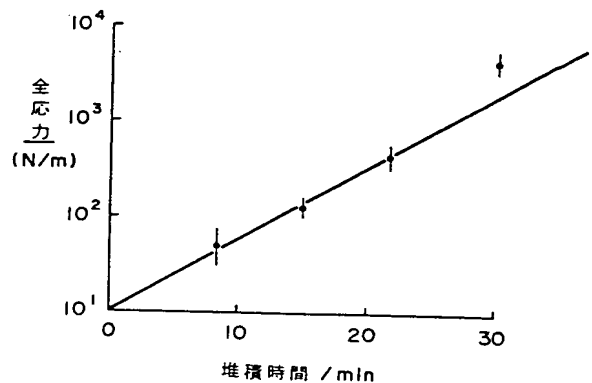


図 3

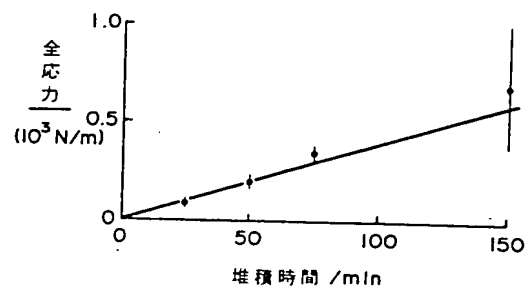


図 4

